

(54) LARGE-SCREEN LIQUID CRYSTAL DISPLAY DEVICE

(11) 5-127605 (A) (43) 25.5.1993 (19) JP

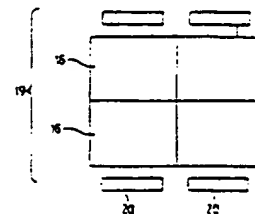
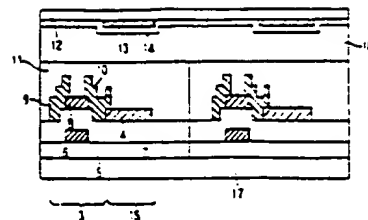
(21) Appl. No. 3-92089 (22) 23.4.1991

(71) HITACHI LTD (72) SATORU TODOROKI(4)

(51) Int. Cl.<sup>7</sup> G09F9/40, G02F1/133, G02F1/1333, G02F1/136, H01L27/12, H01L29/784

**PURPOSE:** To provide a large-screen liquid crystal display device by arraying and connecting plural liquid crystal display elements consisting of thin film transistor matrix arrays on the same plane and charging polymer dispersed liquid crystal as a liquid crystal.

**CONSTITUTION:** When the liquid crystal display elements 16 consisting of the matrix arrays of thin film transistors 3 and picture element parts 15 are arranged and connected on the same plane, the intervals of their connection parts are set to less than the signal line wiring width of the thin film transistors at nonconnection parts and the liquid crystal display elements are adhered to a glass substrate 12 which has color filters 13, etc., across the polymer dispersed liquid crystal 18 to form the large-screen display device 19. Thus, the liquid crystal display elements 16 are stuck and combined with the polymer dispersed liquid crystal 18 to constitute the large-screen liquid crystal display device which it is conventionally difficult to constitute while picture quality or screen definition is maintained.



THIS PAGE BLANK (USPTO)

Concise explanation of the relevance with respect  
to Japanese Laid-Open Patent Application No. 5-127605/1993

The following is an English translation of passages related to claims 2, 3 and 4 of the present invention.

[EMBODIMENT]

As shown in Figure 3, a gate electrode 6, a gate insulating film 7, an amorphous silicon film 8, a source electrode 9, a drain electrode 10, a pixel electrode 4, and a passivation film 11 are formed on a glass substrate 5 (first glass substrate) by a well-known film forming technique such as plasma CVD or sputtering. Subsequently, thin film transistors 3 and pixel units 15 are formed by etching technique to make a liquid crystal display element 16.

Some millions of thin film transistors 3 and pixel units 15 are formed and arranged in a matrix array on the glass substrate 5 to form the liquid crystal display element 16. The gate electrode 6 is connected to signal lines 1 (shown in Figure 1, which are generally known as scanning lines) for supplying a signal in the X direction, while the source electrode 9 is connected to signal lines 2 (shown in Figure 1) for supplying a signal in the Y direction. The drain electrode 10 is electrically connected to the pixel

THIS PAGE BLANK (USPTO)

electrode 4.

The thin film transistors 3 and pixel units 15 are formed by a well-known minute processing technique such as exposing or etching. One matrix (liquid crystal display element 16) made of the thin film transistors 3 and pixel units 15 is a size of about 100-200  $\mu\text{m}$  x 200-300  $\mu\text{m}$  and the matrixes are connected to each other while keeping a space of about 30  $\mu\text{m}$  for the X signal line 1 or Y signal line 2 wiring.

Then, the liquid crystal display 16 including the thin film transistor matrix array is processed minutely in such a manner that the two ends thereof intersect at right angles. Subsequently, four liquid crystal display elements 16 are connected to each other at the processed surfaces and laminated to a glass reinforcing substrate 17 (second glass substrate) using a photo-transmitting adhesive agent, such as an epoxy-based adhesive agent. The space between the connected parts of the adjacent liquid crystal display elements 16 is adjusted to be approximately the same as the space for the scanning line 1 or signal line 2 wiring between the thin film transistor matrixes.

On the other hand, a color filter 13 and a transparent electrode (opposing electrode) 14, which are provided for each of the four liquid crystal display elements 16, are placed on another glass substrate 12 (third glass substrate)

**THIS PAGE BLANK (USPTO)**

of the same size as the glass reinforcing substrate 17. The color filter 13 and transparent electrode 14 are placed in a position that corresponds to the thin film transistor matrix composed of the thin film transistors 3 and pixel units 15. Then, the glass reinforcing substrate (second glass substrate) 17 having the thin film transistor matrix array and the glass substrate (third glass substrate) 12 having the color filter 13 are bonded to each other, with a polymer dispersed type liquid crystal 18 of a predetermined thickness being interposed therebetween, in such a manner that the thin film transistor matrix array and color filter 13 oppose each other. Unlike the popular nematic liquid crystal, the polymer dispersed type liquid crystal is made by sealing liquid crystal molecules in extremely minute capsules or dispersing the liquid crystal molecules in a polymeric material evenly.

**THIS PAGE BLANK (USPTO)**



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-127605

(43)公開日 平成5年(1993)5月25日

(51)IntCl <sup>3</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 F 9/40	B	7926-5G		
G 0 2 F 1/133	5 5 0	7820-2K		
1/1333		8806-2K		
	5 0 0	7724-2K		
		9056-4M		

H 0 1 L 29/ 78

3 1 1 A

審査請求 未請求 請求項の数 6(全 7 頁) 最終頁に続く

(21)出願番号 特願平3-92089

(22)出願日 平成3年(1991)4月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 轟 悟

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生活技術研究所内

(72)発明者 横野 中

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生活技術研究所内

(72)発明者 田口 矩之

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生活技術研究所内

(74)代理人 弁理士 薄田 利幸 (外1名)

最終頁に続く

(54)【発明の名称】 大画面液晶表示装置

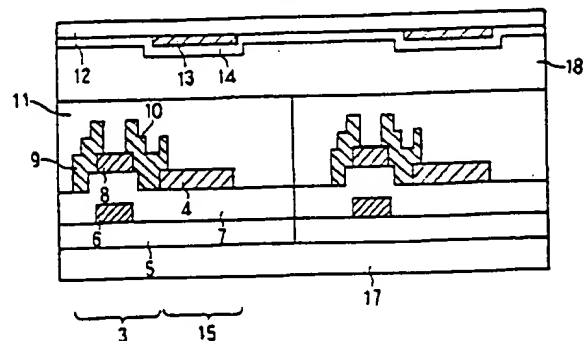
(57)【要約】

【目的】 薄膜トランジスタマトリクスアレイから成る複数の液晶表示素子を同一平面上に配列、接続し、かつ、液晶としてポリマ分散型液晶を封止込むことにより、大画面液晶表示装置の実現を可能とする。

【構成】 薄膜トランジスタ3と画素部15とのマトリクスアレイから成る複数の液晶表示素子16を同一平面上に配設、接続するに際し、その接続部の間隔を非接合部での薄膜トランジスタマトリクスの信号線配線幅以内とし、かつ、ポリマ分散型液晶18を介してカラーフィルタ13等を有するガラス基板12と接着することにより、大画面液晶表示装置19を形成する。

【効果】 複数の液晶表示素子を貼り合わせ、かつポリマ分散型液晶と組合せることにより、画質あるいは画面の精細度を維持して、従来困難とされた大画面の液晶表示装置を実現可能とした。

(図3)



3-薄膜トランジスタ。  
4-ゲート電極。  
5-ガラス基板(図1のガラス基板)。  
6-ソース電極。  
7-ドレーン電極。  
8-共通電極。  
9-パッシベーション膜。  
10-ガラス基板(図2のガラス基板)。  
11-カラーフィルタ。  
12-ガラス基板。  
13-カラーフィルタ。  
14-共通電極(共通電極)。  
15-画素部。  
16-液晶表示素子。  
17-ガラス基板(図2のガラス基板)。  
18-ポリマ分散型液晶。  
19-液晶表示装置。

## 【特許請求の範囲】

【請求項1】第1のガラス基板上に薄膜トランジスタと画素電極とをマトリックス状に配列し、個々のトランジスタのゲート電極同志を接続した走査線と、ソース電極を接続した信号線とを有し、これらを独立に駆動可能な状態で構成したアクティブマトリックスからなる液晶表示素子と；第2のガラス基板の同一平面上に、前記液晶表示素子を複数個隣接して接続、配設して成り、前記液晶表示素子同志の接続間隔を、前記液晶表示素子の走査線もしくは信号線の配線幅間隔以内とした液晶表示素子群と；対向電極とカラーフィルタとが積層された第3のガラス基板と；前記液晶表示素子群の画素電極と前記第3のガラス基板の対向電極とを平行、かつ対向させて配設すると共に、少なくともその両者の間隙に充填された液晶とを具備して成る大画面液晶表示装置。

【請求項2】第1のガラス基板上に設けられたアモルファスシリコン膜とゲート絶縁膜との積層体に、ゲート電極、ソース電極、及びドレイン電極を付加して成る薄膜トランジスタと、前記トランジスタのゲート電極同志を接続した走査線と、ソース電極を接続した信号線とを有すると共に、これらを独立に駆動する信号供給装置とを備えたアクティブマトリックスからなる液晶表示素子と；第2のガラス基板の同一平面上に、前記液晶表示素子を複数個隣接して接続、配設して成り、前記隣接する液晶表示素子同志の接続間隔を、前記液晶表示素子の走査線もしくは信号線の配線幅間隔以内とした液晶表示素子群と；対向電極とカラーフィルタとが積層された第3のガラス基板と；前記液晶表示素子群の画素電極と前記第3のガラス基板の対向電極とを平行、かつ対向させて配設すると共に、少なくともその両者の間隙に充填された液晶とを具備して成る大画面液晶表示装置。

【請求項3】上記複数個の液晶表示素子それぞれに設けられた独立に駆動する信号供給装置を、互いに関連づけて1枚の表示素子として駆動可能とする信号制御機構を具備して成る請求項1もしくは2記載の大画面液晶表示装置。

【請求項4】第1のガラス基板上に設けられたアモルファスシリコン膜とゲート絶縁膜との積層体に、ゲート電極、ソース電極、及びドレイン電極を付加して成る薄膜トランジスタと、前記トランジスタのゲート電極同志を接続した走査線と、ソース電極を接続した信号線とを有してなるアクティブマトリックスからなる液晶表示素子と；第2のガラス基板の同一平面上に、前記液晶表示素子を複数個隣接して接続、配設して成り、前記隣接する液晶表示素子同志の接続間隔を、前記液晶表示素子の走査線もしくは信号線の配線幅間隔以内とすると共に、前記隣接する液晶表示素子間の走査線同志、信号線同志を相互に前記接続部で電気的に結線して成る液晶表示素子群と；前記液晶表示素子群のアクティブマトリックスを一枚の表示素子として駆動する信号供給装置と；対向電

極とカラーフィルタとが積層された第3のガラス基板と、前記液晶表示素子群の画素電極と前記第3のガラス基板の対向電極とを平行、かつ対向させて配設すると共に、少なくともその両者の間隙に充填された液晶とを具備して成る大画面液晶表示装置。

【請求項5】上記液晶表示素子群の画素電極と、上記第3のガラス基板の対向電極との間に充填する液晶を、ポリマ分散型液晶として成る請求項1乃至4何れか記載の大画面液晶表示装置。

【請求項6】請求項1乃至5何れか記載の大画面液晶表示装置を画像表示装置として具備して成る電子装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタマトリクスアレイと液晶とから成る液晶表示装置に係わり、特に表示画面の大型化に好適な大画面液晶表示装置に関する。

【0002】

【従来の技術】薄膜トランジスタマトリクスアレイを含む液晶表示装置は小型、軽量、小消費電力等の利点を有し、ラップトップあるいはデスクトップのパソコンや各種情報機器のディスプレイとして、その需要が年々増加しつつある。図1は薄膜トランジスタマトリクスアレイを含む液晶表示装置を示す等価回路図であり、X信号線1とY信号線2によって薄膜トランジスタ3と画素電極4の対をマトリクス状に配列している。

【0003】図2は図1のA-A'断面図であり、薄膜トランジスタ3は、ガラス基板5上にゲート電極6とゲート絶縁膜7とアモルファスシリコン膜8とソース電極9とドレイン電極10とパッシベーション膜11を積層して構成され、ゲート電極5はX信号線1と接続され、ソース電極9はY信号線2と接続され、ドレイン電極10は画素電極4と接続されている。一方、他のガラス基板12上には透明電極14とカラーフィルタ13とが設けられ、この透明電極14と画素電極4とが平行な間隔をもって対向するように両ガラス基板5及び12は組み合わせられる。前記平行な間隔に液晶18が充填され、液晶表示装置が形成される。

【0004】以上の構成は例えば、電子材料2月号P. 32(1988)あるいは特開昭58-114453号公報に記載の如く、従来からよく知られている液晶表示装置であって、薄膜トランジスタ3を構成するゲート絶縁膜7、アモルファスシリコン膜8、パッシベーション膜11はプラズマCVD (Chemical Vapor Deposition) 法を用いて形成され、また、ゲート電極6、ソース電極9、ドレイン電極10、画素電極4、透明電極(対向電極)14等はスパッタリング法を用いて形成される。これらの膜及び電極は一般に微細エッチング加工技術を用いて加工される。

【0005】

10

20

30

40

50

【発明が解決しようとする課題】以上のような薄膜トランジスタマトリクスアレイを含む液晶表示装置では多数のX信号線1と多数のY信号線2を順次換り換え、多数の画素を画面の一端から他端まで走査して一画面を表示するため、あるX信号線1と、あるY信号線2との交差する位置に存在するある画素が駆動している時、他の画素は、通常駆動されていない。したがって、表示装置としては画面に対する画素の占める面積が小さいほど、そして一画素を構成する画素面積に対して、薄膜トランジスタの占める面積が小さいほど、画質の優れた画面を表示することができ、上記したラップトップに代表される情報端末用途のディスプレイとして好適である。

【0006】一般に、一画素を構成する薄膜トランジスタ、液晶を駆動する画素電極、X信号線及びY信号線の占める面積は約 $100\mu\text{m} \times 100\mu\text{m}$ 程度であって、対角5インチの画面をもつ液晶表示装置で約20~40万画素、また、10インチの装置では約300~500万画素で構成されている。これらの画素数は上記したCVD法、スパッタ法、ウェットプロセスを含む微細エッチング加工技術等の技術水準により決定され、画面サイズが大きくなればなるほど、画面に含まれる欠陥の数は増加し、製造歩留りの低下、更には液晶表示装置の価格上昇をもたらすことになり、対角10インチ前後が量産可能な上限とされている。

【0007】しかしながら、上記した画質または画面の精細度を保持しつつ、画面サイズ拡大(20インチ以上)のニーズは情報端末用途のみならず、TVに代表される民生機器やマスメディア機器の用途に使用される分野において極めて大きいにもかかわらず、工業生産的に実現不可能なものとされてきた。

【0008】したがって、本発明の目的は上記従来の問題を解消することにより、画質を低下させずに画面サイズを実質的に拡大することのできる改良された大画面液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】上記本発明の目的は、第1のガラス基板上に薄膜トランジスタと画素電極とをマトリックス状に配列し、個々のトランジスタのゲート電極同志を接続した走査線と、ソース電極を接続した信号線とを有し、これらを独立に駆動可能な状態で構成したアクティブマトリックスからなる液晶表示素子と；第2のガラス基板の同一平面上に、前記液晶表示素子を複数個隣接して接続、配設して成り、前記液晶表示素子同志の接続間隔を、前記液晶表示素子の走査線もしくは信号線の配線幅間隔以内とした液晶表示素子群と；対向電極とカラーフィルタとが積層された第3のガラス基板と；前記液晶表示素子群の画素電極と前記第3のガラス基板の対向電極とを平行、かつ対向させて配設すると共に、少なくともその両者の間隙に充填された液晶とを具備して成る大画面液晶表示装置により、達成される。

【0010】また、隣接する液晶表示素子を構成するアクティブマトリックスのX-Y信号線同志をそれぞれ電気的に結線せしめ、複数個の液晶表示素子から構成される液晶表示素子群があらかじめ一つの液晶表示素子で形成される如くにアクティブマトリックスを駆動する信号制御機構を具備した大画面液晶表示装置によっても達成することができる。

【0011】更に具体的に詳述すれば、本発明は第1のガラス基板上に設けられたアモルファスシリコン膜とゲート絶縁膜との積層体に、ゲート電極、ソース電極、及びドレイン電極を付加して成る薄膜トランジスタと、前記トランジスタのゲート電極同志を接続した走査線と、ソース電極を接続した信号線とを有すると共に、これらを独立に駆動する信号供給装置とを備えたアクティブマトリックスからなる液晶表示素子と；第2のガラス基板の同一平面上に、前記液晶表示素子を複数個隣接して接続、配設して成り、前記隣接する液晶表示素子同志の接続間隔を、前記液晶表示素子の走査線もしくは信号線の配線幅間隔以内とした液晶表示素子群と；対向電極とカラーフィルタとが積層された第3のガラス基板と；前記液晶表示素子群の画素電極と前記第3のガラス基板の対向電極とを平行、かつ対向させて配設すると共に、少なくともその両者の間隙に充填された液晶とを具備し大画面液晶表示装置を構成する。そして、互いに独立に駆動可能な複数個の上記液晶表示素子は、信号供給装置を介し信号制御機構により、互いに関連づけて1枚の表示素子として駆動する。

【0012】更には、第1のガラス基板上に設けられたアモルファスシリコン膜とゲート絶縁膜との積層体に、ゲート電極、ソース電極、及びドレイン電極を付加して成る薄膜トランジスタと、前記トランジスタのゲート電極同志を接続した走査線と、ソース電極を接続した信号線とを有してなるアクティブマトリックスからなる液晶表示素子と；第2のガラス基板の同一平面上に、前記液晶表示素子を複数個隣接して接続、配設して成り、前記隣接する液晶表示素子同志の接続間隔を、前記液晶表示素子の走査線もしくは信号線の配線幅間隔以内とすると共に、前記隣接する液晶表示素子間の走査線同志、信号線同志を相互に前記接続部で電気的に結線して成る液晶表示素子群と；前記液晶表示素子群のアクティブマトリックスを一枚の表示素子として駆動する信号供給装置と；対向電極とカラーフィルタとが積層された第3のガラス基板と、前記液晶表示素子群の画素電極と前記第3のガラス基板の対向電極とを平行、かつ対向させて配設すると共に、少なくともその両者の間隙に充填された液晶とを具備して成る大画面液晶表示装置によっても達成される。すなわち、この場合、組み合わせ前の個々の液晶表示素子の構成としては、信号供給装置を備えて独立に駆動可能な状態で構成する必要は無く、複数個組み合わせさせて配列、接続された後のアクティブマトリックス

(液晶表示素子群)は、全体が電氣的に接続されて素子間共通のゲート電極を接続した走査線と、ソース電極を接続した信号線とを有していることから、これらに共通の信号供給装置を備えていればよく、装置の小型化が可能となる。

【0013】また、本発明に用いる液晶としては、流動性ある在来のもので良いが、液漏れ対策が必要となるので、好ましくは流動性のないポリマ分散型液晶とし、これにより液漏れの恐れが無い構成とすることが望ましい。また、この種のポリマ分散型液晶を用いた場合には、従来必要とした偏光板及び配向膜を省略することができる。

【0014】

【作用】薄膜トランジスタマトリクスアレイを含む液晶表示素子は接続部での間隔が、薄膜トランジスタマトリクスアレイの間隔、即ち信号線間隔と同程度もしくはそれ以下であるように接しており、複数の液晶表示素子とカラーフィルタとの間に、ポリマ分散型液晶が封入されているので、複数の液晶表示素子があたかも1枚の液晶表示素子であるかの如くに動作する。

【0015】

【実施例】以下、図面にしたがって本発明の代表的な実施例を説明する。

【0016】〈実施例1〉図3及び図4は本発明の大画面液晶表示装置の断面図及び平面図を示したもので、4つの液晶表示素子16を同一平面上に結合して構成した場合の一実施例を示す図である。液晶表示素子16として、対角10インチの画面を有するものを用いる場合について例示する。

【0017】図3に示したように、先ず、ガラス基板5(第1のガラス基板と称する)上にゲート電極6、ゲート絶縁膜7、アモルファスシリコン膜8、ソース電極9、ドレイン電極10、画素電極4、パッシベーション膜11とを、良く知られたプラズマCVD法やスパッタ法等の成膜技術で形成すると共に、エッチング技術を用いて薄膜トランジスタ3及び画素部15を形成し、液晶表示素子16を得る。

【0018】薄膜トランジスタ3及び画素部15は、ガラス基板5上に数100万個形成されており、それらはマトリクスアレイ状に配列されて、液晶表示素子16、を構成している。ゲート電極6はX方向に信号を供給する信号線1(図1に表示、通常、走査線とも称される)と接続し、ソース電極9はY方向に信号を供給する信号線2(図1に表示)と結線され、また、ドレイン電極10は画素電極4と電氣的に接続されている。

【0019】薄膜トランジスタ3及び画素部15は良く知られた露光技術、エッチング技術等の微細加工技術を用いて形成され、薄膜トランジスタ3及び画素部15とから成る1枚のマトリクス(液晶表示素子16)の大きさは、約100~200 $\mu\text{m}$ ×約200~300 $\mu\text{m}$ で

あり、各マトリックスはX信号線1あるいはY信号線2の配線スペース約30 $\mu\text{m}$ を介して接している。

【0020】次に、薄膜トランジスタマトリクスアレイを含む液晶表示素子16の2つの端部を互いに直交するように精密加工を施す。その後、4つの液晶表示素子16を加工面を互いに接するようにして、ガラス補強基板17(第2のガラス基板と称する)上に、光を十分に透過させる接着剤、例えばニボキシ系接着剤を用いて貼り合わせる。この時、隣接する液晶表示素子16の接合部における間隔は薄膜トランジスタマトリクスの走査線1もしくは信号線2の配線スペースと同程度になるようにする。

【0021】一方、ガラス補強基板17と大きさを同じくする別のガラス基板12(第3のガラス基板と称する)には、4つの液晶表示素子16に共通したカラーフィルタ13と透明電極(対向電極とも称す)14とが設けられていて、これらは薄膜トランジスタ3及び画素部15とから成る薄膜トランジスタマトリクスと対応するように形成されている。しかる後、薄膜トランジスタマトリクスアレイを含むガラス補強基板(第2のガラス基板)17と、カラーフィルタ13を含むガラス基板(第3のガラス基板)12とを、所定の厚みを有するポリマ分散型液晶18を介して、薄膜トランジスタマトリクスアレイとカラーフィルタ13とが互に対向する様に接合する。ポリマ分散型液晶18は従来一般に使用されているネマテック液晶と異なり、液晶分子を極微小のカプセルに封止したものまたは液晶分子自身を高分子物質内に均一に分散させたものである。

【0022】図4は、対角10インチの画面を有する4つの液晶表示素子16を、上記の過程を経て作製した対角20インチの大画面液晶表示装置19の平面図である。液晶表示素子16を構成する薄膜トランジスタマトリクスアレイを駆動するための信号は液晶表示素子16毎に設けられた信号供給装置20より与えられ、各信号供給装置20は他の信号供給装置と協調をとりながら動作する。すなわち、図面は省略されているが、実際には素子16間の信号供給装置20を互に関連づけて全体を1枚の大画面表示素子として駆動させる信号制御機構がこれらの信号供給装置20に接続される。

【0023】ところで、対角10インチサイズの液晶表示素子16を形成するガラス基板5(第1のガラス基板)のX-Y平面のそりは一般に5~10 $\mu\text{m}$ 存在し、一方のガラス基板(第3のガラス基板)12との間に封入する液晶層18の厚みは従来約5~10 $\mu\text{m}$ ±0.1 $\mu\text{m}$ に制御する必要がある。これは薄膜トランジスタ3がオン状態になって、ドレイン電極10と接続している画素電極4と、透明電極(対向電極)14との間に信号電圧が発生して液晶の配向角を変化させるとき、液晶層の厚みのばらつきが、配向角のばらつきを生ぜしめて、最終的にはガラス基板5側からカラーフィルタ13を介

してガラス基板12へ透過する光の量を変化させてしまう。透過光のばらつきは表示装置の輝度むらとなって現われ、多色表示における色彩の劣化を招くことになる。

【0024】本発明者等の実験結果によれば、±0.1 μmの液晶層の厚みばらつきは、例えば8階調表示の3階調分に相当し、中間色の色ずれを引き起こす。上記したポリマ分散型液晶18は液晶分子を極微小のカプセルに封止したもの、または液晶分子自身を高分子物質内に均一に分散させたものであるため、従来必要であった偏光板を不要とし、偏光板を通すことによる損失分だけ透過光量に対する液晶層の厚さばらつきの影響を少なくすることができ、実際には液晶層18の厚さばらつきを±5 μm程度まで許容できる。

【0025】〈実施例2〉図5は他の実施例を説明する図であって、図4に示した大画面液晶表示装置の変形例である。図示のとおり、隣接する液晶表示素子16を構成する薄膜トランジスタマトリクスアレイを駆動する信号線、即ちX信号線1（ゲート）、Y信号線2（ソース）の各々を、後に図6で例示する絶縁膜21、24上に導電性薄膜あるいは導電性物質を結線用電極22、23として配した薄膜を用いて電氣的に結線した後、前述したカラーフィルタ13を含むガラス基板12をポリマ分散型液晶18を介して接着し、対角20インチ大画面液晶表示19を形成する。

【0026】隣接する4枚の液晶表示素子16a~16d同志間のX、Y信号線1、2の電氣的結線は次のようにして行なう。即ち、薄膜トランジスタ3及び画素部15を形成し、パッシベーション膜11を積層した後、隣接する液晶表示素子16の接合部分近傍のパッシベーション膜11をゲート電極6に接続している信号線1の表面が露出するまで、配線スペース分（約30 μm）だけ選択的に除去する。次いで、各信号線1の配線幅に見合せてゲート結線用電極22の形成された薄膜21を、隣接する液晶表示素子16の各信号線1とゲート結線用電極22とが合致するように位置合わせして接着する。このとき、薄膜21の厚みは信号線1上面からパッシベーション膜11までの距離にほぼ等しくなるようにする（約2~3 μm）。

【0027】次に、隣接する液晶表示素子16の他の接合部分近傍を約30 μmの幅でソース電極9の表面が露出するまでパッシベーション膜11を除去した後、各信号線2の配線幅で設けたソース結線用電極23が形成された薄膜24を各信号線2と結線用電極23とが合致するように位置合わせして接着する。薄膜24の厚みはパッシベーション膜11の厚みにほぼ同一とする。その後、カラーフィルタ13、透明電極（対向電極）14を含むガラス基板12と、ガラス基板5とをポリマ分散型液晶18を介して接続し、図4に示したものと類似の対角20インチ大画面液晶表示装置19を形成する。図5では信号供給装置20を省略しているが、各液晶表示素子1

6に共通して駆動する信号供給装置20を設け、これによりX信号線1及びY信号線2に信号を伝達し、4つの液晶表示素子16が一体となって構成される大画面液晶表示装置19の任意の薄膜トランジスタ3及び画素部15を駆動する。図6は、絶縁フィルム上に所定間隔でゲート結線用電極22またはソース結線用電極23が形成された薄膜21、24の構造を表わす平面図である。

【0028】このようにして与えられた大画面液晶表示装置は、従来の電子管表示装置に代わり、例えばTV、ディスプレイ等の民生機器、ワードプロセッサ、コンピュータ等の情報機器用の画像表示装置として有効に実用可能である。

【0029】

【発明の効果】以上詳述したように本発明によれば、独立に駆動可能な複数個の液晶表示素子を同一平面に配列接合し、その接合部の間隔を、素子内非接合部での薄膜トランジスタマトリクスを構成する信号線の配線幅以内とすることにより、個々の液晶表示素子のもつ画質、または精細度を維持しながら、従来不可能とされていた大画面液晶表示装置を実現することが可能となった。

【0030】特に、液晶としてポリマ分散型液晶を用いた場合には、従来のネマティック液晶を用いた場合よりも液晶の厚さ制御精度に裕度があり、さらに従来必要とされていた偏光板及び配向膜が不要となる等、設計及び組立性の点においても優れた効果を有している。

【0031】また、複数個の液晶表示素子を同一平面上に接続する際に、隣接する液晶表示素子のゲート信号線あるいはソース信号線同志を導電性の結線用電極を有する薄膜を用いて互いに接続することにより、接続された表示素子群をあたかも1枚の表示素子で構成した如くに、1つの共通の信号供給装置にて液晶表示素子群の任意の薄膜トランジスタマトリクスを駆動させることができ、個々の液晶表示素子に独立の信号供給装置を設ける必要が無いことから駆動部の小型化された大画面液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】従来例を説明する薄膜トランジスタマトリクスアレイを含む液晶表示装置の等面回路図。

【図2】従来例を説明する液晶表示装置の要部断面図。

【図3】本発明の一実施例となる大画面液晶表示装置の要部断面図。

【図4】同装置の平面図。

【図5】他の実施例となる大画面液晶表示装置の平面図。

【図6】同装置の信号線結線用電極を含む導電性薄膜の平面図。

【符号の説明】

1…X信号線（ゲート）、

2…Y信号線（ソース）、

3…薄膜トランジスタ、

4…画素電極、5…ガラス基板（第1のガラス

基板)、 6…ゲート電極、7…ゲート絶縁膜、  
8…アモルファスシリコン膜、9…ソース電極、  
10…ドレイン電極、11…パッシベーション膜、12…ガラス基板(上板となる第3のガラス基板)、13…カラーフィルタ、  
14…透明電極(対向電極)、15

…画素部、

16…液晶表示

素子、17…ガラス補強板(第2のガラス基板)、18

…ポリマ分散型液晶、19…大画面液晶表示装置、

20…信号供給装置、21、24…導電性薄

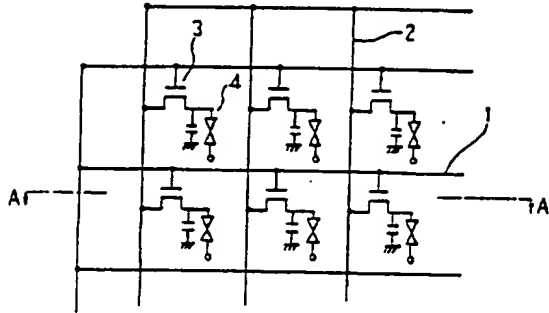
膜、

22…ゲート結線用電極、23…

ソース結線用電極。

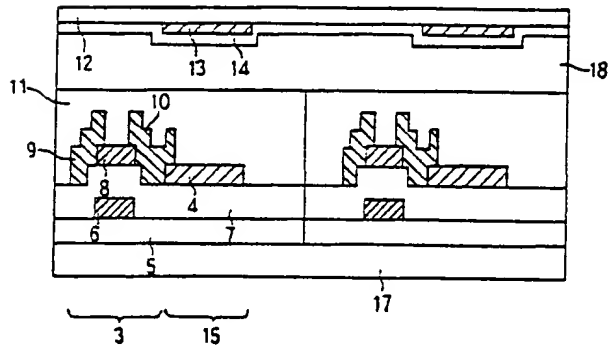
〔図1〕

(図1)



〔図3〕

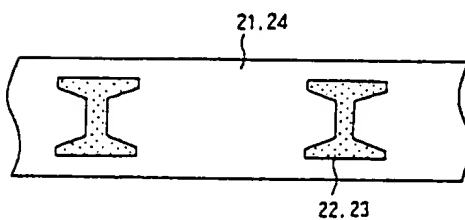
(図3)



3…画素トランジスタ、 4…透明電極、  
5…ガラス基板(第1のガラス基板)、 6…ゲート電極、  
7…ゲート絶縁膜、 8…アモルファスシリコン膜、  
9…ソース電極、 10…ドレイン電極、  
11…パッシベーション膜、 12…ガラス基板(上板となる第3のガラス基板)、  
13…カラーフィルタ、 14…透明電極(対向電極)、  
15…画素部、 16…液晶表示素子、  
17…ガラス補強板(第2のガラス基板)、 18…ポリマ分散型液晶、  
19…大画面液晶表示装置、  
20…信号供給装置、  
21、24…導電性薄膜、  
22…ゲート結線用電極、  
23…ソース結線用電極。

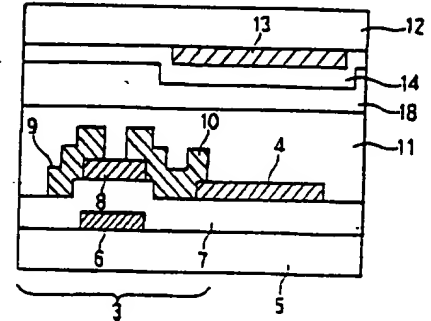
〔図6〕

(図6)



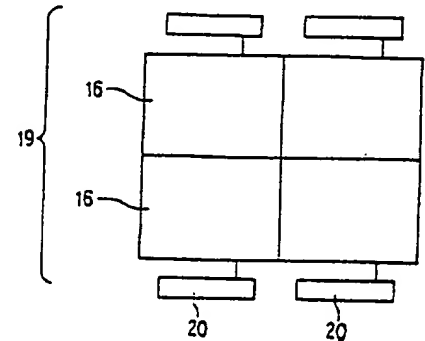
〔図2〕

(図2)



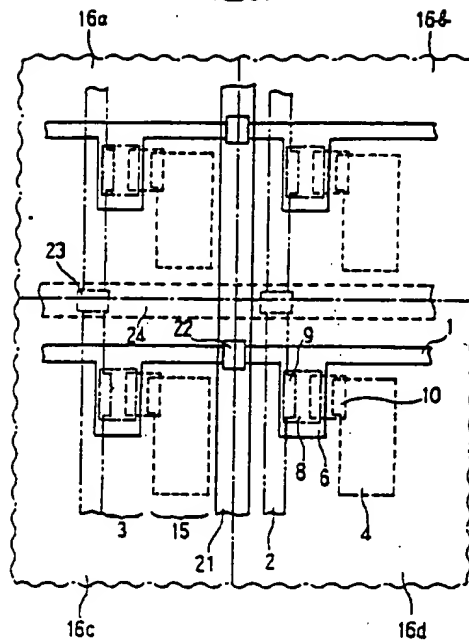
〔図4〕

(図4)



〔図5〕

(図5)



フロントページの続き

(51)Int.Cl.<sup>5</sup>

G 0 2 F 1/136

H 0 1 L 27/12

29/784

識別記号

5 0 0

庁内整理番号

9018-2K

A 8728-4M

F I

技術表示箇所

(72)発明者 芹沢 弘二

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生活技術研究所内

(72)発明者 梶田 正美

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生活技術研究所内

THIS PAGE BLANK (USPTO)